

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
9. September 2005 (09.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/083794 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 29/78**,  
29/10, 21/336, 21/266

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KNAIPP, Martin**  
[AT/AT]; Schwarzer Weg 49, A-8141 Unterpremstätten  
(AT).

(21) Internationales Aktenzeichen: PCT/EP2005/002112

(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-  
WALTSGESELLSCHAFT MBH**; Ridlerstr. 55, 80339  
München (DE).

(22) Internationales Anmeldedatum:  
28. Februar 2005 (28.02.2005)

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,  
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,  
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,  
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,  
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,  
ZM, ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

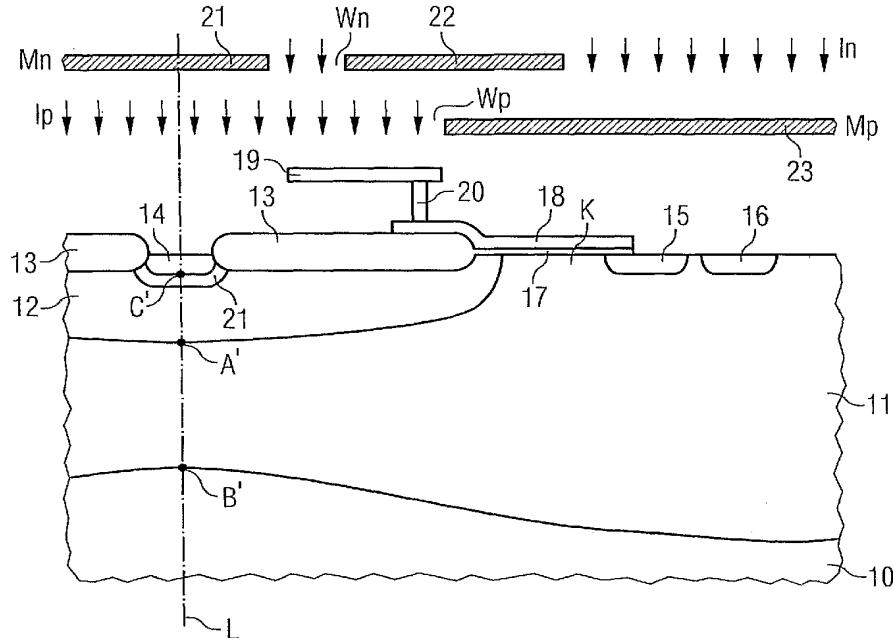
(30) Angaben zur Priorität:  
10 2004 009 521.3  
27. Februar 2004 (27.02.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **AUSTRIAMICROSYSTEMS AG** [AT/AT]; Schloss  
Premstätten, A-8141 Unterpremstätten (AT).

[Fortsetzung auf der nächsten Seite]

(54) Title: HIGH VOLTAGE PMOS TRANSISTOR

(54) Bezeichnung: HOCHVOLT-PMOS-TRANSISTOR



(57) Abstract: The invention relates to a high-voltage PMOS transistor comprising an insulated gate electrode (18), a p-type source (15) in an n-type well (11), a p-type drain (14) in a p-type well (12), which is located in the n-type well, and a field oxide region (13) between the gate electrode and drain. The depth (A'-B') of the n-type well below the drain (14) is less than its depth below the source (15) and the greatest depth (A'-C') of the p-type well lies below the drain (14).

[Fortsetzung auf der nächsten Seite]

**WO 2005/083794 A2**



**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

---

**(57) Zusammenfassung:** Bei einem Hochvolt-PMOS-Transistor mit einer isolierten Gate-Elektrode (18), einer p-leitenden Source (15) in einer n-leitenden Wanne (11), einem p-leitenden Drain (14) in einer p-leitenden Wanne (12), die in der n-Wanne angeordnet ist, und mit einem Feldoxidbereich (13) zwischen Gate-Elektrode und Drain, ist die Tiefe (A'-B') der n-leitenden Wanne unterhalb der Drain (14) geringer ist als unterhalb der Source (15) und die Tiefe (A'-C') der p-leitenden Wanne unterhalb der Drain (14) am grössten.

## Beschreibung

### Hochvolt-PMOS-Transistor

Die Erfindung betrifft einen Hochvolt-PMOS-Transistor mit einer isolierten Gate-Elektrode, einem p-leitenden Sourcegebiet in einer n-leitenden Wanne und einem p-leitenden Draingebiet in einer p-leitenden Wanne, die in der n-Wanne angeordnet ist.

Die an sich bekannte Herstellung von Hochvolttransistoren in integrierten Schaltungen führt regelmäßig zu optimierten Transistoren für den gewünschten Spannungsbereich. Dieser kann sich von mehr als 10 Volt bis zu 150 Volt und darüber hinaus erstrecken. Typische Anwendung ist die Automobiltechnik, in der neben logischen Schaltungselementen auch Schalter für die Batteriespannungsebenen und für die Beherrschung von Störpulsen (bursts) vorgesehen werden müssen. Diese Hochvolttransistoren sind grundsätzlich mit Prozessen herstellbar, wie sie für CMOS-Schaltungen mit Einsatzbereichen von 3,3 Volt bzw. 5 Volt verwendet werden. Allerdings ist diese Herstellung aufwendig und teuer, weil eine Mehrzahl zusätzlicher Masken und Prozessschritte notwendig sind und/oder ein großer Platzbedarf des Hochvolttransistors resultiert.

Vertikale Hochvolttransistoren werden gewöhnlich in einer Epitaxieschicht erzeugt, deren Dicke und Konzentration für den gewünschten Spannungsbereich optimiert werden muss. Die Schichtdicken können schnell bei 10  $\mu\text{m}$  oder darüber liegen, was nur mit einer aufwendigen Epitaxieabscheidung realisierbar ist. Die notwendige vergrabene Schicht (buried layer), ihre Dotierung und Kontaktierung durch die

Epitaxieschicht (sinker) erfordern etliche speziell für den Hochvolttransistor notwendige Prozessschritte. Um die Transistorfläche, d.h. seine laterale Ausdehnung zu optimieren, muss die Dicke der Epitaxieschicht an die gewünschte Spannungsebene angepasst werden.

Der Versuch, Hochvolttransistoren als laterale Transistoren in Verbindung mit einem Niedervoltprozess für Logiktransistoren herzustellen, führt zu anderen Schwierigkeiten. So müssen die elektrischen Feldstärken so beherrscht werden, dass an den Stellen höchster Feldstärkekonzentration kein Durchbruch auftritt, der zu Fehlfunktionen oder zur Zerstörung des integrierten Schaltkreises führen kann. In der Regel führt diese Anforderung zu einem großen Platzbedarf für die Hochvolttransistoren und damit zu hohen Herstellkosten.

Aus der US 6,455,893 B1 ist ein lateraler Hochvolttransistor bekannt, der einen geringeren Platz benötigt, weil die an der hochdotierten Drain auftretende elektrische Feldstärke mittels einer geringer dotierten Drain-Erweiterung und einer Feldplatte reduziert wird. Der beschriebene Transistor ist auch für CMOS-Prozesse mit weniger als 1  $\mu\text{m}$  Strukturbreite einsetzbar. Jedoch führt die Schrift an, dass die Spannungsfestigkeit des Transistors eingeschränkt ist, weil das retrograde Implantationsprofil in den Randbereichen der Drain-Erweiterung zu einem wenig geeigneten Dotierungsmuster führt.

Es ist Aufgabe der Erfindung, einen verbesserten lateralen Hochvolt-PMOS-Transistor, eine Maske bzw. Maskierung für die entsprechenden Wannen sowie ein Verfahren für die Herstellung der Wannen anzugeben.

Die Erfindung löst diese Aufgabe mit den Merkmalen der unabhängigen Patentansprüche. Ausgestaltungen der Erfindung sind in weiteren Ansprüchen gekennzeichnet.

Ein Hochvolt-PMOS-Transistor nach der Erfindung hat den Vorteil, dass er mit einem an sich üblichen Niedervoltprozess, der an sich nicht für den gewünschten Hochvolt-Bereich vorgesehen ist, mit nur geringem zusätzlichen Aufwand herstellbar ist. Dadurch wird gewährleistet, dass die Kombination von Hochvolttransistoren und Niedervolttransistoren zwar zu verbesserten Hochvolteigenschaften führt, jedoch die Niedervolteigenschaften der entsprechenden Transistoren nicht beeinträchtigt werden. Insbesondere hat deshalb der erfindungsgemäße Hochvolttransistor den Vorteil, dass eine höhere Betriebsspannung zulässig ist.

Die Erfindung hat den weiteren Vorteil, dass bei der vorgesehenen hohen Spannung kein Durchbruch von der p-Wanne zum Substrat erfolgen kann.

Darüber hinaus hat die Erfindung den weiteren Vorteil, dass die kritische elektrische Feldstärke in der p-Wanne unterhalb des Drains reduziert ist, wenn der Drainkontakt mit stark negativer Spannung gegenüber Source vorgespannt ist.

In einer Ausgestaltung der Erfindung liegt der Vorteil, dass die elektrische Feldstärke an der Oberfläche der Struktur reduziert ist, was als RESURF-Effekt bekannt ist (RESURF entspricht „REduced SURface Field“).

Hierzu ist oberhalb der als Driftstrecke dienenden p-Wanne eine Feldplatte vorgesehen, die auf dem Feldoxid angeordnet ist.

Eine weitere Ausgestaltung der Erfindung sieht vor, dass die elektrische Feldstärke weiterhin gesteuert wird mit Hilfe einer Metallisierungsschicht der ersten Metallisierungsebene, die mit der Feldplatte auf dem Feldoxid mit Hilfe einer Durchkontaktierung elektrisch verbunden ist und sich lateral in Richtung auf die Drain über dem Feldoxid erstreckt.

Die Erfindung hat den weiteren Vorteil, dass sich mit der beanspruchten Maske bzw. Maskierung die Ladungsträgerkonzentration in der n-Wanne bzw. der p-Wanne im kritischen Bereich unterhalb der Drain kontrollieren lassen.

Schließlich hat die Erfindung den Vorteil, dass sie ein Verfahren zur Herstellung der n-Wannenbereiche bzw. p-Wannenbereiche am Transistorkopf, d.h. an den Randbereichen unterhalb der Drain ermöglicht, die für die vorgesehene Spannung optimiert sind.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen in den Figuren der Zeichnung näher erläutert. Die Figuren dienen allein der Veranschaulichung der Erfindung und sind daher nur schematisch und nicht maßstabsgetreu ausgeführt. Gleiche Elemente oder gleich wirkende Elemente sind mit gleichen Bezugszeichen versehen. Es zeigen:

Figur 1 einen schematischen Querschnitt durch einen Hochvolt-PMOS-Transistor gemäß der Erfindung.

Figur 2 einen Ausschnitt aus der Maske zur Herstellung der n-Wanne, insbesondere am Transistorkopf,  
Figur 3 einen Ausschnitt aus der Maskierung zur Herstellung der p-Wanne und  
Figur 4 einen Hochvolt-PMOS-Transistor in Anlehnung an den Stand der Technik.

Die Erfindung wird insgesamt besser verständlich ausgehend von der Figur 4, die eine Weiterbildung des eingangs genannten Stands der Technik ist. Gemäß Figur 4 ist auf einem Substrat 410 eine n-dotierte Wanne 411 angeordnet. Innerhalb der n-Wanne 411 ist ein hochdotierter p-leitfähiger Bereich 415 als Sourceanschluß vorgesehen. Daneben ist ein hochdotierter n-leitfähiger Bereich 416 angeordnet, der als Masseanschluß (Body) dienen kann. Auf der anderen Seite des Sourcegebiets 415 schließt sich die Kanalzone K an, über der, isoliert durch ein Gateoxid 417, die Gate-Elektrode 418 beispielsweise aus Polysilizium angeordnet ist.

In Richtung zur Drain sind Feldoxidbereiche 413 vorgesehen, die ein Fenster zur Aufnahme der hochdotierten, p-leitfähigen Drain 414 aufweisen. Unterhalb der Drain 414 und der Feldoxidbereiche 413 ist eine p-dotierte Wanne 412 innerhalb der n-dotierten Wanne 411 angeordnet, die sich lateral bis in den Kanalbereich hinein erstreckt. Die Gate-Elektrode 418 ist in Richtung zur Drain 414 bis über einen Bereich des Feldoxid 413 verlängert. Dieser oberhalb der p-Wanne liegende Bereich dient als Feldplatte zur Steuerung des elektrischen Feldes. Der Bereich der p-Wanne zwischen Drain 414 und dem Kanal K dient als Driftbereich für die Ladungsträger und in lateraler Richtung zum Abbau des elektrischen Feldes.

Im Ausführungsbeispiel ist der Hochvolt-PMOS-Transistor symmetrisch zur Linie L. In vertikaler Richtung unterhalb der Drain 414 sind entlang der Symmetrielinie für den PMOS-Transistor dienenden dotierten Line L Punkte A", B" und C" eingezeichnet. Bei dem am Drain anliegenden hohen Potenzial muss der Abstand A"-B" so bemessen sein, dass kein punch zwischen der p-Wanne 412 und dem Substrat 410 erfolgen kann. Gleichzeitig muss der Abstand A"-C" so bemessen sein, dass die am Punkt A" auftretende kritische Feldstärke reduziert ist, wenn der Drainkontakt 414 von hohem Potenzial auf niedriges Potenzial (Substratpotenzial) wechselt.

In Figur 4 ist weiterhin die Herstellung der n-Wanne und der p-Wanne während der Herstellung des Transistors schematisch dargestellt. In einem ersten Schritt wird dabei in dem Substrat 410 eine großflächige Implantation mit n-Ionen durchgeführt, für die im Bereich des beschriebenen Transistors keine Maske vorgesehen ist. Dies wird durch die gleichmäßig verteilten Pfeile und das Bezugszeichen In angedeutet.

In einem nachfolgenden Schritt wird dann die p-Wanne 412 hergestellt. Dazu wird mit einer Maske Mp der Bereich der n-Wanne 411 abgedeckt, der den Kanal und die Sourcezone aufnehmen soll. Mittels einer durch gleichmäßige Pfeile in dem Fenster der Maske Mp durchgeführten Implantation Ip mit p-Ionen, beispielsweise Borionen, wird zunächst ein Implantationsgebiet erzeugt. In nachfolgenden thermischen Schritten, z.B. bei der Erzeugung der Feldoxide, diffundieren die p-Ionen aus, so dass die p-Wanne 412 entsteht. Gegenüber der bezeichneten US 4,455,893 ergibt sich der Vorteil, dass unterhalb des Kanalgebiets und des Feldoxids eine Wannenstruktur entsteht, wie sie in der Figur 4 dargestellt

ist. In den Randbereichen unter diesen Gebieten ergibt sich eine gleichmäßiger Dotierungsverlauf und damit eine bessere Feldsteuerung.

Im Ausführungsbeispiel der Figur 4 ist der pn-Übergang zwischen dem p-leitenden Substrat 410 und der n-Wanne 411 nahezu flach. Ebenfalls ist der pn-Übergang zwischen der Wanne 412 und der n-Wanne 411 unterhalb der Drain 414 sehr flach. Der Abstand A"-C" wird durch den Diffusionsschritt nach der Implantation eingestellt. Dieser Abstand ist notwendig, da die Raumladungszone im Bereich des Punktes A" sich nicht bis zum p<sup>+</sup>-Diffusionsgebiet der Drain 414 erstrecken darf. Gleichzeitig ist ein vorgegebener Abstand A"-B" gegeben, um einen Punch zwischen dem Substrat und der p-Wanne 412 zu verhindern.

Figur 1 beschreibt Wannenformen, die gegenüber Figur 4 weiter verbessert sind. Gemäß Figur 1 ist in einem Substrat 10 eine n-dotierte Wanne 11 angeordnet, die an ihrer Oberfläche eine hochdotierte p-leitfähige Zone 15 als Source bzw. Source-Anschluss enthält. Neben dem Sourcebereich 15 ist ein hochdotierter, n-leitfähiger Bereich 16 vorgesehen, über den der Masseanschluss (Body) erfolgen kann.

Von dem Sourcebereich 15 in Richtung zum hochdotierten, p-leitfähigen Drainbereich 14 schließt sich zunächst der Kanal K sowie eine p-dotierte Wanne 12 an. Die Wanne 12 erstreckt sich unterhalb der Draindiffusion 14 in die Tiefe und lateral unterhalb der Feldoxidbereiche 13. Im Ausführungsbeispiel sind die Randbereiche der p-Wanne 12 bis unter die Gate-Elektrode 18 gezogen, die mittels des Gate-Oxids 17 von den beiden Wannen 11 und 12 sowie Source 15 isoliert ist.

Die Gate-Elektrode 18 ist z.B. als Polysiliziumschicht ausgebildet und erstreckt sich vom Gate 18 bis auf das Feldoxid 13 in Richtung Drain 14. Soweit diese hochleitfähige verlängerte Gate-Elektrode oberhalb der Wanne 12 angeordnet ist, dient sie als Feldplatte zur Steuerung des elektrischen Feldes im Randbereich der Wanne 12. In einer höheren Ebene, im Ausführungsbeispiel der Metall 1-Ebene, ist oberhalb der Polysilizium-Feldplatte eine Metallschicht 19 vorgesehen, die sich oberhalb des Feldoxids zwischen Gate und Drain weiter in Richtung Drain 14 erstreckt. Elektrisch verbunden ist die Metallschicht 19 mit der Gate-Elektrode 18 mittels einer Durchkontaktierung 20.

In Figur 1 ist unterhalb des Draingebiets eine flache p-dotierte Wanne 21 dargestellt, die an sich nicht notwendig, jedoch vorteilhaft bei Transistoren für besonders hohe Spannungen erzeugt wird. Die flache p-Wanne 17 wird typischerweise als retrograde Wanne mit Bor und einer Energie von unter 150 keV sowie einer Konzentration von etwa  $10^{13} \text{ cm}^{-3}$  ausgeführt. Es wird ein kurzer Eintreibschritt ausgeführt. Der p-Wannenbereich endet 0,5  $\mu\text{m}$  unter der Siliziumoberfläche. Diese Wanne bewirkt eine Konzentration in ihrem Wannengebiet, die niedriger als die Draindotierung und höher als die Dotierung der p-Wanne 12 ist. Die Dotierung nimmt deshalb von der Draindiffusion in Richtung des Substrats gleichmäßiger ab, wodurch Überhöhungen der elektrischen Feldstärke oder ein Durchbruch vermieden werden.

Gemäß der Erfindung ist nun vorgesehen, dass sich der Wannenboden der p-Wanne 12 unterhalb des Drain-Anschlusses 14 tiefer in die n-Wanne 11 hinein erstreckt als unterhalb des Feldoxids 13 und der Gate-Elektrode 18. Gleichzeitig erstreckt sich der Wannenboden der n-Wanne 11 unterhalb des

Drain-Anschlusses 14 mit geringerer Tiefe in das Substrat 10 als in den übrigen Bereichen der Wanne.

Die unterschiedlich tiefe Ausdiffusion der p-Wanne 12 wird gesteuert durch die Ausdiffusion der n-Wanne 11. So hat die n-Wanne 11 im Bereich unterhalb der Drainzone 14 eine niedrigere Konzentration als beispielsweise unterhalb der Sourcezone. Die Konzentrationsdifferenzen in der n-Wanne in lateraler Richtung ermöglichen es, dass die p-Wanne 12 unterschiedlich stark ausdiffundieren kann. Insoweit wird die Ausdiffusion der p-Wanne durch die n-Wannen Diffusion gesteuert. Aus diesem Grund erstreckt sich die p-Wanne in der Tiefe unterhalb des Drain weiter in die n-Wanne hinein als in der Nähe des Kanals, weil in Kanalnähe die n-Wanne 11 eine höhere Gegendotierung hat.

Die Formgebung der p-Wanne 12, die als Driftregion für die Ladungsträger auf dem weg zum Drain 14 dient, bewirkt gegenüber einer Wanne mit flachem Boden einen größeren Abstand A'-C', d.h. in der Tiefe unterhalb des Drain, und verhindert damit einen vorzeitigen Durchbruch. In lateraler Richtung zum Kanal hin wird die hohe Feldstärke des Draingeblts 14 durch die Wirkung der Feldplatten aus verlängerter Gate-Elektrode 18 und Metallschicht 19 verringert. Die Metallschicht 19 gehört dabei zum standardmäßig für eine integrierte Schaltung verwendeten ersten Metallisierungsebene. Ebenfalls auch mit an sich bekannten Prozessschritten hergestellt wird die Durchkontaktierung 20 zwischen der Metallschicht 19 und der Polysilizium-elektrode 18. Die Einbeziehung der Metallschicht 19 in die Feldplattenfunktion ermöglicht es, die Metallschicht 19 weiter von der Gate-Elektrode 18 in Richtung auf Drain 14 hinzuziehen, als es die verlängerte Gate-

Elektrode 18 allein erlauben würde. Ursache hierfür ist die größere Entfernung zwischen der p-Wanne 12 und der Metallschicht 19 in diesem Bereich. Auf diese Weise ergibt sich eine reduzierte Oberflächenfeldstärke (RESURF-REDuced SURface Field).

Die reduzierte Dotierungskonzentration in der Driftregion der p-Wanne 12 wird zusätzlich gesteuert durch die für die p-Implantation verwendete Maskierung, die nachfolgend anhand der Figur 3 beschrieben wird.

Es hat sich gezeigt, dass bei einem Hochvolt-PMOS-Transistor gemäß Figur 1 einerseits die Spannungsfestigkeit aufgrund der großen Entfernung zwischen den Punkten A' und C' erhöht wird und andererseits die Entfernung A'-B' ausreichend groß ist, um einen Punch von der p-Wanne 12 zum Substrat 10 zu verhindern.

Nachfolgend wird die Herstellung der Wannen 11 und 12 mit einer entsprechenden Maske bzw. Maskierung erläutert. Die Herstellung der Maske bzw. Maskierung erfolgt mit den in der Halbleitertechnik üblicherweise verwendeten Materialien und Verfahren. Für eine Transistorstruktur gemäß Figur 1 werden auf dem Halbleitersubstrat zunächst die n-Wanne 11 und danach die p-Wanne 12 erzeugt, bevor die Feldoxidbereiche 13 und die weiteren hochdotierten Bereiche für Source und Gate bzw. Body hergestellt werden.

Als ersten Schritt wird auf dem undotierten Wafer eine Maske Mn hergestellt, die grundsätzlich oberhalb der Transistorstruktur der Figur 1 skizziert ist. Dabei wird die Maske so aufgebracht, dass Bereiche 21 und 22 entstehen, durch die keine Ionenimplantation möglich ist. Anschließend

werden durch das Fenster Wn sowie die außerhalb des Maskenteils 22 liegenden Bereiche eine Ionenimplantation In durchgeführt, bei der Phosphor-Ionen mit einer Energie von 300 keV und einer Dosis von bevorzugt  $8,3 \times 10^{12} \text{ cm}^{-3}$  implantiert werden. Bevorzugt werden Phosphorionen implantiert, die während der thermischen Ausdiffusion beweglicher als beispielsweise Arsenionen sind, so dass sich mit Ausnahme der abgeschatteten Bereiche 21 und 22 eine relative gleichmäßige Verteilung der Phosphordotierung in der Wanne 11 ergibt.

Die dabei verwendete Maske ist prinzipiell anhand von Figur 2 dargestellt. Die Maskierung 21 deckt den Zentralbereich des Drain ab. Im Abstand von der Drainabdeckung 21 ist eine weitere Abdeckung 22 vorgesehen, die zwischen den Bereichen der vorgesehenen Drainzone und der vorgesehenen Sourcediffusion liegt. Im Ausführungsbeispiel der Figur 2 ist diese weitere Abdeckung streifenförmig ausgebildet. Die in Figur 1 skizzierte Maske Mn stellt sich als Querschnitt durch die Maske der Figur 2 entlang der Linie 1A und 1B dar.

Der Außenbereich des Transistors, der in der Figur 2 als Transistorkopf TK gekennzeichnet ist und Figur 1 in Richtung senkrecht zur Zeichenebene liegt, wird dabei so gestaltet, dass zunächst die Drainabdeckung 21 um den doppelten Abstand F verbreitert wird und die Drainabdeckung dann halbkreisförmig zum Transistorkopf hin endet. In entsprechender Weise ist der streifenförmig angelegte Bereich 22 zwischen Drain- und Source im Abstand zur Drainabdeckung ebenfalls als Kreisabschnitt angelegt. Selbstverständlich ist keine Kreisform der Drainabdeckung und der weiteren Abdeckung 22 im Bereich des Transistorkopfes notwendig. Genauso können abschnittsweise gradlinig verlaufende Polygonabschnitte

aneinander gesetzt werden, um den Maskenabschluss des Transistorkopfes zu bilden.

Im Anschluss an die n-Wanne 11 wird die p-Wanne 12 mit ebenfalls einer Maskierung Mp implantiert. Figur 1 zeigt ebenfalls den Schnitt an der Stelle 1A-1B. Außerhalb des Bereichs der vorgesehenen p-Wanne 12 ist eine ganzflächige Maskierung 23 vorgesehen. Im Bereich der vorgesehenen p-Wanne ist zunächst ein Fenster Wp erzeugt, in dem nebeneinander liegende konisch in Richtung auf die Drainzone zulaufende und voneinander beabstandete Abdeckungsbereiche 24 vorgesehen sind. Die Schmalseite der konischen Abdeckungen beginnt im Abstand von der Teilmaskierung 23 und verläuft dann in Richtung auf den vorgesehenen Drainbereich bzw. den Zentralbereich Z des Transistors konisch zunehmend. Dabei bleiben zwischen den konischen Abdeckungen Bereiche frei, durch die eine Implantierung erfolgen kann. Der Zentralbereich Z der vorgesehenen p-Wanne bleibt abdeckungsfrei.

Die Maske gemäß Figur 3 reduziert durch die Bereiche 24 und 25 die effektive Implantierungsfläche mit Hilfe dieser konischen oder zylindrischen Maskierungsstreifen, damit die Dosis der p-Implantation im Bereich der Drainzone kleiner wird. Dies ist notwendig, da im Bereich der Drainzone eine geringere Dotierung der n-Wanne und damit eine geringere Gegendotierung der n-Wanne vorhanden ist.

Im Bereich des Transistorkopfes TK an dem endseitigen Bereich des Transistors sind mehrere bogenförmig und im Abstand zueinander verlaufende Abdeckungsstreifen 25 angeordnet, die im Ausführungsbeispiel der Figur 3 nahezu parallel verlaufen.

Durch die freigelassenen Bereiche  $W_p$ , die von der Maskierung nicht bedeckt sind, erfolgt anschließend eine Implantation  $I_p$  mit p-Ionen, beispielsweise Borionen. Diese Implantation erfolgt in zwei Schritten, einmal mit beispielsweise einer Energie vom 300 keV und einer Dosis von  $5 \times 10^{12} \text{ cm}^{-3}$  und im zweiten Schritt mit einer Energie von beispielsweise 150 keV und einer Dosis von ebenfalls  $5 \times 10^{12} \text{ cm}^{-3}$ .

Selbstverständlich kann sowohl die Energie als auch die Dosis je nach dem Typ des verwendeten Herstellungsprozesses verändert werden. Die angegebenen Dosen beziehen sich dabei auf einen Prozess in einer Technologie mit der Strukturbreite 0,35  $\mu\text{m}$ .

Mit der Implantation mit z.B. Bor ist die effektive p-Dotierung nahe dem Drainbereich am geringsten, da die konischen Maskenabschnitte 24 sich fast berühren und so in diesem Bereich wenige p-Ionen ins Silizium eindringen. Entscheidend für die Potenzialverteilung ist jedoch die Nettodotierung. Da die n-Wanne ebenfalls im Darinbereich eine geringere Dotierung hat, wird die Abnahme der p-Dotierung durch die Maskierungsabschnitte 24 gegen kompensiert. Direkt unter dem Drainkontakt ist die p-Wanne am tiefsten. Der pn-Übergang wandert von dort in Richtung Source hin zur Oberfläche.

Die Maskierung der Figur 3 für die p-Wanne 12 bewirkt, dass sich im Bereich zwischen Source und Drain ein weitgehend homogener Potentialabfall bildet. Zwischen Source und Drain wird dabei unterschiedlich ausgeprägter Driftdotierungskanal erzeugt, in dem der Stromfluss von Source nach Drain der Richtung der angedeuteten Pfeile S folgt.

Im Anschluss an die Implantationen für n-Wanne und p-Wanne erfolgen Temperaturschritte, die gewährleisten, dass sich eine Verteilung der Dotierstoffatome innerhalb der jeweiligen Wanne so ergibt, dass sie die gewünschte Funktion bewirken. Dies kann durch spezielle Diffusionsschritte erfolgen als auch im Zusammenhang beispielsweise mit der Herstellung der Feldoxidbereiche 13. Insgesamt bewirken die Maskierungsschritte und die Implantierung der p-Wanne 12, dass sich sowohl in vertikaler als auch in lateraler Richtung das elektrische Feld so einstellen lässt, dass keine Feldstärkeüberhöhung auftritt, die zu einem Durchbruch führen könnte. Damit lassen sich bei einem Niedervoltprozess, der an sich für Spannungen bis 5 Volt gedacht ist, Hochvolt-PMOS-Transistoren der erfindungsgemäßen Art erzeugen, die mit Betriebsspannungen von 50 Volt und darüber hinaus betrieben werden können.

## Patentansprüche

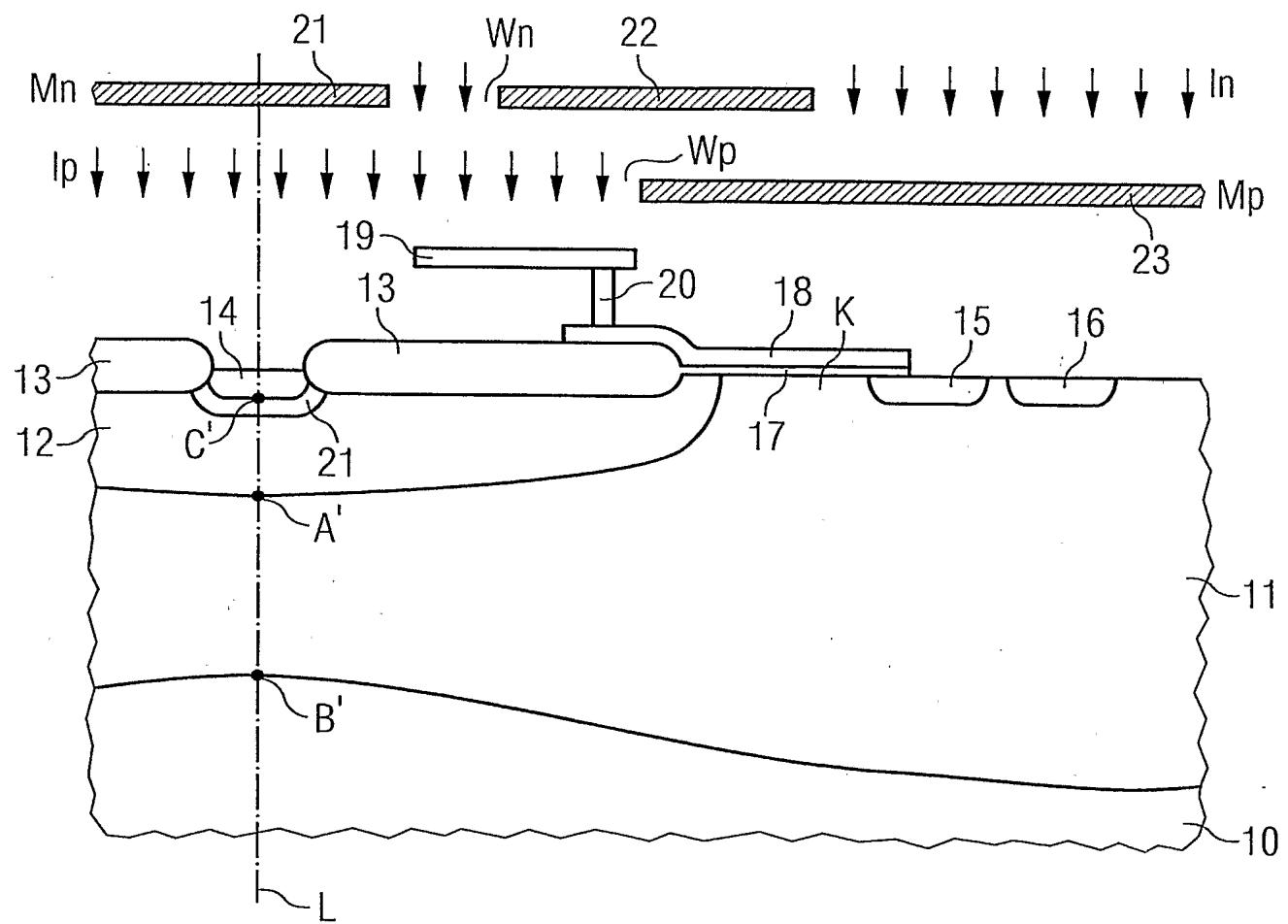
1. Hochvolt-PMOS-Transistor mit einer isolierten Gate-Elektrode (18), einem p-leitenden Sourcegebiet (15) in einer n-leitenden Wanne (11), einem p-leitenden Draingegebiet (14) in einer p-leitenden Wanne (12), die in der n-Wanne angeordnet ist, und mit einem Feldoxidbereich (13) zwischen Gate-Elektrode und Draingegebiet, wobei die Tiefe (A'-B') der n-leitenden Wanne unterhalb des Draingebiets (14) geringer ist als unterhalb des Sourcegebiets (15) und die Tiefe (A'-C') der p-leitenden Wanne unterhalb des Draingebiets (14) am größten ist.
2. Hochvolt-PMOS-Transistor nach Anspruch 1, dadurch gekennzeichnet, dass sich die p-leitende Wanne (12) lateral von dem Drain bis zur Gate-Elektrode (18) erstreckt.
3. Hochvolt-PMOS-Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Gate-Elektrode (18) sich oberhalb einer Isolierschicht (17) von dem Sourcegebiet (15) bis auf das Feldoxid (13) in Richtung Drain erstreckt, sodass sie die Randbereiche der p-leitenden Wanne (12) überdeckt.
4. Hochvolt-PMOS-Transistor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass eine Metallschicht (19) in einem vorgegebenen Abstand oberhalb des Feldoxids (13) verläuft und mittels einer Durchkontaktierung (20) mit der Gate-Elektrode (18) verbunden ist und dass sich die Metallschicht von der Gate-Elektrode in Richtung auf Drain über dem Feldoxidbereich erstreckt.

5. Hochvolt-PMOS-Transistor nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die p-leitende Wanne (12) im Bereich des Drain (14) höher dotiert ist als im Außenbereich zum Transistorkanal (K) hin.
6. Hochvolt-PMOS-Transistor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die n-leitende Wanne (11) unterhalb des Drain niedriger dotiert ist als im Bereich unterhalb des Transistorkanals.
7. Maske zur Herstellung einer n-leitenden Wanne, insbesondere für einen Hochvolt-PMOS-Transistor nach einem der Ansprüche 1 bis 6, bei der der Bereich des vorgesehenen Drain mit einer Drainabdeckung (21) abgedeckt ist.
8. Maske nach Anspruch 7, dadurch gekennzeichnet, dass im Abstand von der Drainabdeckung (21) eine weitere Abdeckung (22) zwischen den für Drain und Source vorgesehenen Bereichen erzeugt ist.
9. Maske nach Anspruch 8, dadurch gekennzeichnet, dass die weitere Abdeckung (22) streifenförmig ausgebildet ist.
10. Maske nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, dass die Drainabdeckung (21) im Bereich des Transistorkopfes (TK) zunächst verbreitert ist und sich dann verjüngt.
11. Maske nach einem der Ansprüche 7 bis 10, dadurch gekennzeichnet, dass die Drainabdeckung (21) im Bereich des Transistorkopfes (TK) im Bogen verläuft.

12. Maske nach einem der Ansprüche 8 bis 11, dadurch gekennzeichnet, dass die weitere Abdeckung (22) im Bereich des Transistorkopfes mit Abstand dem Verlauf der Drainabdeckung folgt.
13. Maskierung zur Herstellung einer p-leitenden Wanne (12), insbesondere für einen Hochvolt-PMOS-Transistor nach einem der Ansprüche 1 bis 6, bei der zwischen dem Zentralbereich (Z) und dem Randbereich der zu erzeugenden Wanne abschnittweise zusätzliche Abdeckungen (24, 25) vorgesehen sind.
14. Maskierung nach Anspruch 13, dadurch gekennzeichnet, dass die zusätzlichen Abdeckungen konisch verlaufende Streifen (24) enthalten, die sich vom Source-seitigen Randbereich zum Drain-seitigen Bereich hin verbreitern und voneinander beabstandet sind.
15. Maskierung nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass die zusätzlichen Abdeckungen (25) im Bereich des Transistorkopfes als voneinander beabstandete Streifen ausgebildet sind.
16. Maskierung nach Anspruch 14, dass die streifenförmigen zusätzlichen Abdeckungen mehrere im Bogen verlaufende Streifen sind.
17. Maskierung nach Anspruch 14 oder 16, dadurch gekennzeichnet, dass die Streifen zumindest abschnittweise parallel verlaufen.

18. Verfahren zur Herstellung einer n-leitenden Wanne (11) und einer p-leitenden Wanne (12), insbesondere bei der Herstellung eines Hochvolt-PMOS-Transistors nach einem der Ansprüche 1 bis 6, bei dem mittels Masken oder Maskierungen die Implantation von Ionen so erfolgt, dass die Tiefe der n-Wanne im Bereich des vorgesehenen Drains geringer ist als in den anderen Wannenbereichen.
19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass die lokale Leitfähigkeit der p-leitenden Wanne von der Dotierung der n-leitenden Wanne mitbestimmt wird.
20. Verfahren nach Anspruch 18 oder 19, dadurch gekennzeichnet, dass die Wannenmaskierung für die p-leitende Wanne so erfolgt, dass die Dotierungstiefe der p-leitenden Wanne im vorgesehenen Drainbereich größer als in Richtung der Source-zugeordneten Bereiche ist.

FIG 1



2/3

FIG 2

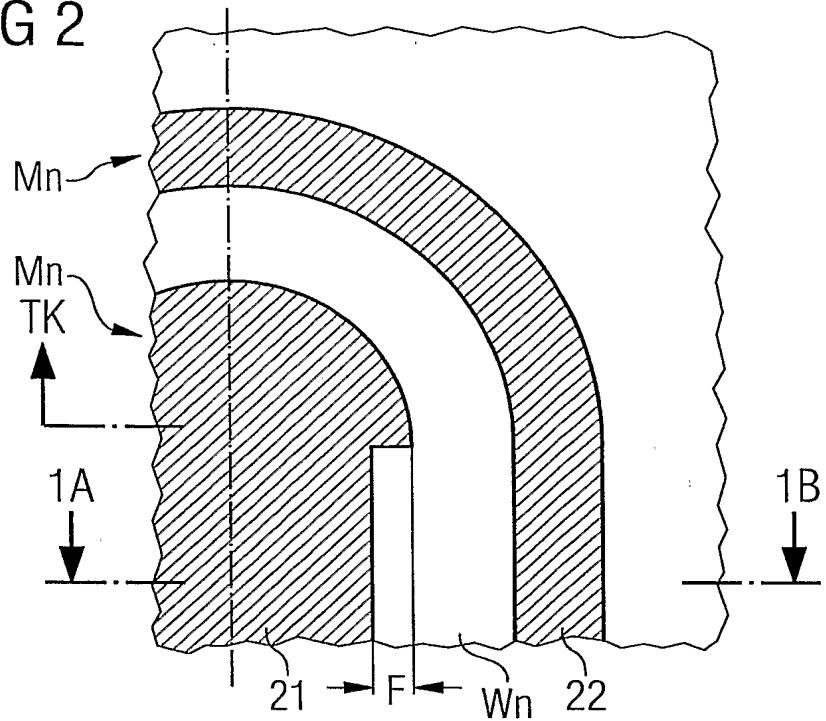


FIG 3

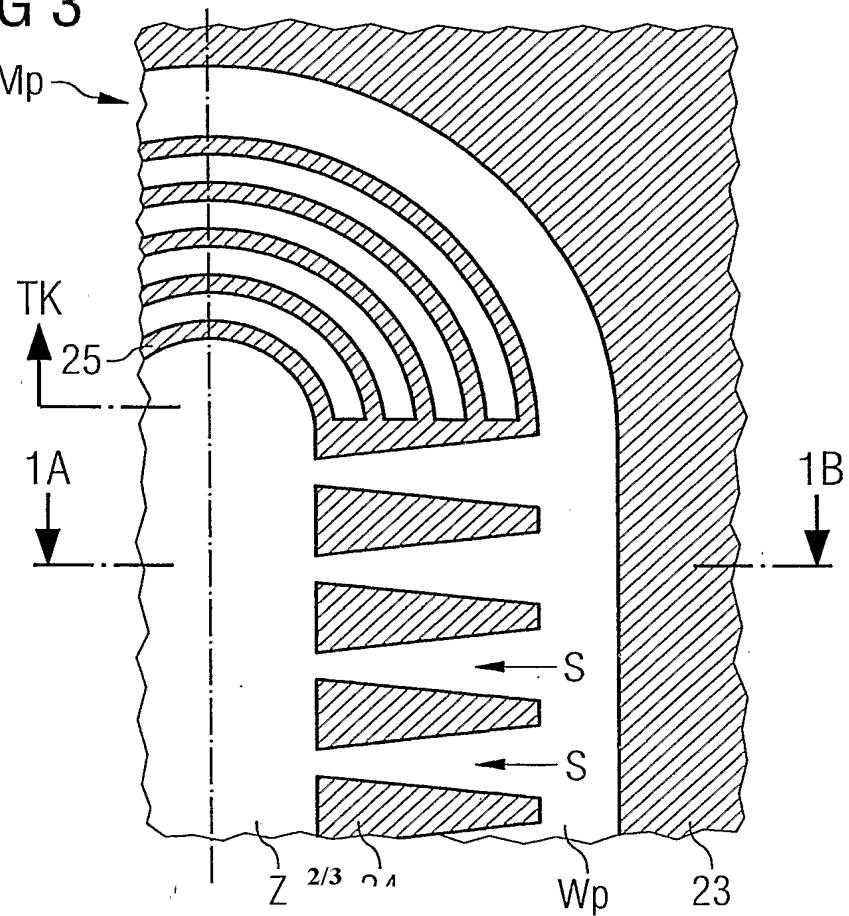


FIG 4

